

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 5 7 8 6 4
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 5 7 8 6 4]

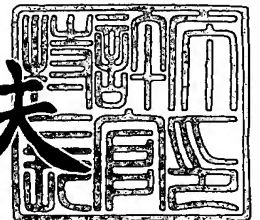
出 願 人 株式会社ルネサステクノロジ
Applicant(s):

U.S. Appln. Filed 11-28-03
Inventor: H. Akamine et al
mattingly Stanger & malor
Docket H-1124

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H02017131

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/21
H04B 7/26

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 赤嶺 均

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 高橋 恭一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 土屋 雅裕

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 高周波電力増幅用電子部品および無線通信システム

【特許請求の範囲】

【請求項 1】 複数の増幅用トランジスタが縦続接続され入力高周波信号を増幅して出力する多段構成の電力増幅回路と、該電力増幅回路の最終段の増幅用トランジスタの入力信号を受ける出力レベル検出用トランジスタと、該トランジスタの電流に応じて前記電力増幅回路にバイアスを与えるバイアス生成回路とを含む高周波電力増幅用電子部品であって、

前記バイアス生成回路は、前記最終段の増幅用トランジスタの入力端子と前記出力レベル検出用トランジスタの入力端子との間に接続された抵抗素子と、前記出力レベル検出用トランジスタにより検出された電流を電圧に変換する電流－電圧変換手段と、該電流－電圧変換手段により変換された電圧と外部からの出力レベルを指示する電圧との電位差に応じた電圧を出力する誤差増幅回路とを備え、前記抵抗素子はその抵抗値が前記増幅用トランジスタの入力信号の交流成分を伝達可能な大きさとされ、前記出力レベル検出用トランジスタは前記最終段の増幅用トランジスタの入力信号の直流成分と交流成分に応じた電流を流し、前記誤差増幅回路の出力は前記最終段の増幅用トランジスタの入力側に帰還されるように構成されてなることを特徴とする高周波電力増幅用電子部品。

【請求項 2】 前記抵抗素子の抵抗値は $100\ \Omega$ 以下であることを特徴とする請求項 1 に記載の高周波電力増幅用電子部品。

【請求項 3】 前記誤差増幅回路の出力は第 2 の抵抗素子を介して前記最終段の増幅用トランジスタの入力側に帰還されることを特徴とする請求項 1 または 2 に記載の高周波電力増幅用電子部品。

【請求項 4】 前記バイアス生成回路は、最終段よりも前段の増幅用トランジスタの入力信号を第 3 の抵抗素子を介して受ける検出用トランジスタおよび該トランジスタの電流を電圧に変換する第 2 電流－電圧変換手段と、該第 2 電流－電圧変換手段により変換された電圧と基準となる電圧との電位差に応じた電圧を出力する第 2 誤差増幅回路とを備え、該第 2 誤差増幅回路の出力は最終段よりも前段の増幅用トランジスタの入力側に帰還されるように構成されていることを特

徴とする請求項 1 ～ 3 のいずれかに記載の高周波電力増幅用電子部品。

【請求項 5】 前記電流－電圧変換手段により変換された電圧が前記第 2 誤差増幅回路に前記基準となる電圧として入力されることを特徴とする請求項 4 に記載の高周波電力増幅用電子部品。

【請求項 6】 前記出力レベル検出用トランジスタの電流に比例した電流を流すカレントミラー回路を備え、該カレントミラー回路は、第 1 の転写電流を生成する第 1 トランジスタと、第 2 の転写電流を生成する第 2 トランジスタとを備え、前記第 1 の転写電流を前記電流－電圧変換手段により変換した電圧が前記誤差増幅回路に入力され、前記第 2 の転写電流を前記電流－電圧変換手段により変換した電圧が前記第 2 誤差増幅回路に基準となる電圧として入力されることを特徴とする請求項 4 に記載の高周波電力増幅用電子部品。

【請求項 7】 前記電力増幅回路は 3 個以上の増幅用トランジスタが縦続接続されてなり、各増幅用トランジスタに対応してそれぞれの入力信号を抵抗素子を介して受ける検出用トランジスタおよび該トランジスタの電流に比例した電流を流すカレントミラー回路と、該カレントミラー回路の転写先の電流を電圧に変換する電流－電圧変換手段と、該電流－電圧変換手段により変換された電圧と基準となる電圧との電位差に応じた電圧を出力し対応する増幅用トランジスタの入力側に帰還する誤差増幅回路とが設けられていることを特徴とする請求項 1 ～ 3 のいずれかに記載の高周波電力増幅用電子部品。

【請求項 8】 前記電力増幅回路の初段の増幅用トランジスタは、1 つのチャネル領域に対応して 2 つのゲート電極がドレイン領域とソース領域との間に直列に設けられている電界効果トランジスタであり、前記第 2 誤差増幅回路の出力に応じた電流を流す抵抗分割回路を備え、該抵抗分割回路で生成された第 1 の電圧が前記電界効果トランジスタの第 1 のゲート電極の入力側に印加され、前記抵抗分割回路で生成された第 2 の電圧が前記電界効果トランジスタの第 2 のゲート電極の入力側に印加されるように構成されていることを特徴とする請求項 4 に記載の高周波電力増幅用電子部品。

【請求項 9】 複数の増幅用トランジスタが縦続接続され入力高周波信号を増幅して出力する多段構成の電力増幅回路と、該電力増幅回路の各増幅用トラン

ジスタにバイアスを与えるバイアス生成回路とを含む高周波電力増幅用電子部品であって、

前記バイアス生成回路は、前記最終段の増幅用トランジスタの入力信号を第1抵抗素子を介して受ける第1検出用トランジスタと、該第1検出用トランジスタが検出した電流を電圧に変換する第1電流－電圧変換手段と、該第1電流－電圧変換手段により変換された電圧と基準となる電圧との電位差に応じた電圧を出力する第1誤差増幅回路と、最終段よりも前段の増幅用トランジスタの入力信号を第2抵抗素子を介して受ける第2検出用トランジスタと、該第2検出用トランジスタが検出した電流を電圧に変換する第2電流－電圧変換手段と、該第2電流－電圧変換手段により変換された電圧と外部からの出力レベルを指示する電圧との電位差に応じた電圧を出力する第2誤差増幅回路とを備え、

前記第2抵抗素子はその抵抗値が前記前段の増幅用トランジスタの入力信号の交流成分を伝達可能な大きさとされ、前記第2検出用トランジスタは前記前段の増幅用トランジスタの入力信号の直流成分と交流成分に応じた電流を流し、前記第2誤差増幅回路の出力は最終段よりも前段の増幅用トランジスタの入力側に帰還され、前記第2電流－電圧変換手段により変換された電圧が前記第1誤差増幅回路に基準となる電圧として入力され、該第1誤差増幅回路の出力は前記最終段の増幅用トランジスタの入力側に帰還されるように構成されてなることを特徴とする高周波電力増幅用電子部品。

【請求項10】 前記第2検出用トランジスタの電流に比例した電流を流すカレントミラー回路を備え、該カレントミラー回路は、第1の転写電流を生成する第1トランジスタと、第2の転写電流を生成する第2トランジスタとを備え、前記第1の転写電流を前記第2電流－電圧変換手段により変換した電圧が前記第2誤差増幅回路に入力され、前記第2の転写電流を前記電流－電圧変換手段により変換した電圧が前記第1誤差増幅回路に基準となる電圧として入力されることを特徴とする請求項9に記載の高周波電力増幅用電子部品。

【請求項11】 請求項1～10のいずれかに記載の高周波電力増幅用電子部品と、送信信号と受信信号の切替えを行なう送受信切替え回路を備えた第2電子部品と、送信する信号を変調して前記高周波電力増幅用電子部品へ入力する第

3 電子部品と、前記高周波電力増幅用電子部品に対して出力レベルを指示する電圧を付与する半導体集積回路とを有することを特徴とする無線通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯電話機等の無線通信システムに使用され高周波信号を増幅して出力する高周波電力増幅回路および該高周波電力増幅回路を組み込んだ電子部品に適用して有効な技術に関し、特に出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行ない検出した出力レベルに応じて多段構成の高周波電力増幅回路の各増幅段にフィードバックをかけてそれぞれのバイアスを制御する無線通信システムにおいて出力電力が低い領域での信号の歪みを小さくし電力効率を向上させる技術に関する。

【0002】

【従来の技術】

一般に、携帯電話機等の無線通信装置（移動体通信装置）における送信部には、送信信号を変調する変調回路と変調後の信号を増幅する高周波電力増幅回路（パワーアンプ）とが組み込まれている。従来の無線通信装置には、ベースバンド回路もしくはマイクロプロセッサ等の制御回路からの要求出力レベルに応じて高周波電力増幅回路の増幅率を制御するため、アンテナの出力パワー（電力）のレベルを検出して帰還をかけることが行なわれている（例えば、特許文献1参照）。そして、出力パワーレベルの検出は、従来は一般に、カプラや検波回路などを使用して行なっている。

【0003】

また、従来の無線通信装置における高周波電力増幅回路は、複数の電力増幅用トランジスタが多段（一般には3段が多い）に接続された構成を有しており、高周波電力増幅回路の増幅率の制御は、図8に示すように、出力制御電圧 V_{apc} を抵抗 $R_{11} \sim R_{19}$ で分割した電圧 V_{g1} , V_{g2} , V_{g3} を高周波電力増幅回路の各増幅段のトランジスタ $Q_1 \sim Q_3$ のゲート端子（バイポーラ・トランジスタではベース端子）に印加することで行なわれている。

【0004】

【特許文献1】

特開 2001-7657号公報

【0005】

【発明が解決しようとする課題】

従来の抵抗分割で各増幅段のバイアス電圧を与えるようにしたシステムでは、一般に最大出力電力の時に各増幅段のトランジスタ $Q_1 \sim Q_3$ の増幅率が電力効率を良好にするのに最適の比になるよう各ゲートバイアス電圧 $V_{g1} \sim V_{g3}$ を生成する抵抗 $R_{11} \sim R_{19}$ の比が設定されている。具体的には、図9に示されているように、初段と2段目のゲートバイアス電圧 V_{g1} , V_{g2} は若干 V_{g1} の方が高いがほぼ等しくされ、最終段のゲートバイアス電圧 V_{g3} は初段や2段目のゲートバイアス電圧 V_{g1} , V_{g2} よりも高くなるように設定される。そして、抵抗分割で各増幅段のバイアス電圧を与えるようにした上記従来のシステムでは、最大出力電力よりも低い領域では各ゲートバイアス電圧 $V_{g1} \sim V_{g3}$ は出力制御電圧 V_{apc} に比例して変化することとなる。

【0006】

しかしながら、多段構成の高周波電力増幅回路においては、各段のバイアス電圧 $V_{g1} \sim V_{g3}$ を出力制御電圧 V_{apc} に比例して変化させた場合、各段の増幅用トランジスタに流れるアイドル電流（入力信号 P_{in} が入っていないときのドレイン電流） $I_{dd1} \sim I_{dd3}$ は、図10に示すように指数関数的に変化する。そのため、上述のように最大出力電力の時に各増幅段のトランジスタ $Q_1 \sim Q_3$ の増幅率が最適の比になるよう各ゲートバイアス電圧 $V_{g1} \sim V_{g3}$ の比が設定されていると、出力電力が低い領域ではアイドル電流 I_{dd1} , I_{dd2} がかなり小さくなってしまい、信号の歪みが大きくなるとともに電力効率も低下するという不具合があることが分かった。

【0007】

本発明の目的は、複数の電力増幅用トランジスタが縦続接続された多段構成の高周波電力増幅回路において、出力電力レベルが低い領域でも最終段よりも前段にある増幅用トランジスタにアイドル電流が十分に流れるようにして信号の歪み

を小さくし電力効率を向上させることができるようにすることにある。

【0 0 0 8】

本発明の他の目的は、出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行なう無線通信システムを構成する高周波電力増幅用電子部品において、出力の直流成分のみならず交流成分も考慮して各増幅段にフィードバックをかけることにより、各増幅段のトランジスタのアイドル電流を要求出力レベルが小さい領域から大きい領域に渡って適切な配分で流せるようにして信号の歪みを小さくし電力効率を向上させることにある。

【0 0 0 9】

本発明のさらに他の目的は、出力電力のフィードバック制御に必要な出力レベルの検出を電流検出方式で行なう無線通信システムを構成する高周波電力増幅用電子部品において、最終段のトランジスタのアイドル電流に比例したアイドル電流を前段のトランジスタに流せるようにして、出力電力レベルが高い領域における特性をあまり損なわずに出力電力レベルが低い領域における信号の歪みを小さくし電力効率を向上させることにある。

【0 0 1 0】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0 0 1 1】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、複数の電力増幅用トランジスタが縦続接続された高周波電力増幅用電子部品において、最終段の電力増幅用トランジスタのゲート入力を $100\ \Omega$ 以下さらに望ましくは $50\ \Omega$ 以下の抵抗値の抵抗素子を介してゲート端子に受ける出力レベル検出用トランジスタを設け、該トランジスタにより検出した電流を電圧に変換し、該電圧と出力制御電圧とを誤差アンプで比較して電位差に応じた電圧を各増幅段の電力増幅用トランジスタのゲート端子に印加してアイドル電流を流すようにしたものである。

【 0 0 1 2 】

上記した手段によれば、最終段の電力増幅用トランジスタのゲート端子と出力レベル検出用トランジスタのゲート端子との間に設けられた抵抗素子の抵抗値が $100\ \Omega$ 以下のような小さな値とされているため、最終段の電力増幅用トランジスタのゲートに入力される信号の直流成分のみならず交流成分も出力レベル検出用トランジスタのゲート端子に伝達され、これにより交流成分を含んでフィードバックをかけることができ、直流成分のみ検出してフィードバックをかける場合に比べて低出力レベルの領域で初段側の増幅段に流れる電流を多くすることができる。その結果、信号の歪みを小さくし電力効率を向上させることができるようになる。

【 0 0 1 3 】

また、望ましくは、上記出力レベル検出用トランジスタにより検出された電圧と出力制御電圧との電位差を増幅する前記誤差アンプの出力は最終段の電力増幅用トランジスタのゲート入力側へフィードバックさせ、上記誤差アンプとは別個の誤差アンプを設けて該誤差アンプには上記最終段用の誤差アンプの出力電圧を基準電圧として入力し前段の電力増幅用トランジスタのゲート入力電圧を他方の比較電圧として入力してそれらの電位差に応じた電圧を前段の電力増幅用トランジスタのゲート入力側へフィードバックさせるように構成する。これにより、製造バラツキに関わらず最終段の電力増幅用トランジスタのアイドル電流に比例した正確なアイドル電流を前段の電力増幅用トランジスタに流すことができる。

【 0 0 1 4 】**【発明の実施の形態】**

以下、本発明の好適な実施例を図面に基づいて説明する。

図 1 は、本発明を適用した高周波電力増幅回路（以下、パワーアンプと称する）とそのバイアス生成回路の第 1 の実施例を示す。

図 1 において、Q 1 は入力高周波信号 P_{in} を増幅する 1 段目の増幅段を構成する電力増幅用トランジスタ、Q 2 は Q 1 のドレイン電圧がゲート端子に入力されるように接続された 2 段目の増幅段を構成する電力増幅用トランジスタ、Q 3 は Q 2 のドレイン電圧がゲート端子に入力されるように接続された最終増幅段の

電力増幅用トランジスタ、 $L_1 \sim L_3$ は電源電圧端子 V_{dd} と各増幅段の電力増幅用トランジスタ $Q_1 \sim Q_3$ のドレイン端子との間に接続されたインダクタンス素子、 $MN_1 \sim MN_3$ は前段の電力増幅用トランジスタと次段の電力増幅用トランジスタとの間に接続されたインピーダンス整合回路、 $CDC_1 \sim CDC_4$ は直流成分を遮断する容量素子である。

【0015】

電力増幅用トランジスタ $Q_1 \sim Q_3$ は、図1の実施例では MOSFET が使用されているが、バイポーラ・トランジスタや GaAs MESFET、ヘテロ接合バイポーラ・トランジスタ (HBT)、HEMT (High Electron Mobility Transistor) 等他のトランジスタを用いて良い。インピーダンス整合回路 $MN_1 \sim MN_3$ は、伝送線路と該伝送線路の所定の箇所と接地点との間に接続された容量素子とから構成することができる。インダクタンス素子 $L_1 \sim L_3$ は、基本波の $1/4$ 波長の電気長を有する $\lambda/4$ 伝送線路を用いることができる。

【0016】

また、図1において、 Q_4 は抵抗 R_2 を介して最終増幅段の電力増幅用トランジスタ Q_3 と同一の信号がゲート端子に印加された MOSFET からなる出力レベル検出用トランジスタ、 Q_5 は抵抗 R_3 を介してトランジスタ Q_4 と直列に接続されたカレントミラー用トランジスタ、 Q_6 はトランジスタ Q_4 とカレントミラー接続されたトランジスタ、 R_4 は該トランジスタ Q_6 のドレイン端子と接地点との間に接続された電流-電圧変換用のセンス抵抗である。

【0017】

さらに、この実施例においては、トランジスタ Q_4 とゲート共通接続された第2のカレントミラー用トランジスタ Q_7 と、該トランジスタ Q_7 のドレイン端子と接地点との間に接続された電流-電圧変換用の抵抗 R_5 とが設けられている。トランジスタ $Q_4 \sim Q_7$ と抵抗 $R_2 \sim R_5$ により電流検出型の出力レベル検出回路 ODT1 が構成される。抵抗 $R_2 \sim R_5$ のうち R_4 と R_5 は比較的精度が高いものが必要であるため、外付け素子で構成されている。

【0018】

上記出力レベル検出用トランジスタ Q_4 は、電力増幅用トランジスタ Q_3 の数

十～数百分の1の大きさに形成されて、電力増幅用トランジスタQ3のドレイン電流 I_{dd} が数A（アンペア）のときQ4の電流が数mA～数10mAとなるように設計される。出力レベル検出用トランジスタQ4とカレントミラー用トランジスタQ5は、N-MOSとP-MOSの持つ相互コンダクタンスの相違に応じてサイズ比が決定され、最大出力の時にもQ5が飽和しないように設計される。また、この実施例では、カレントミラー用トランジスタQ5とQ6のサイズ比（ゲート長が等しい場合はゲート幅の比）はほぼ1：1である。

【0019】

これにより、出力レベル検出回路ODT1のトランジスタQ6に流れる電流は、電力増幅用トランジスタQ3のドレイン電流 I_{dd} に比べてはるかに小さな値（Q3とQ4の比によって決まる値）とされる。そして、トランジスタQ6に流れる電流がセンス抵抗R4に流されるため、センス抵抗R4で変換された検出電圧 V_{det} は電力増幅用トランジスタQ3の出力電力と相関のある電圧となる。Q6とQ7とは1：1のようなサイズ比、または $n：1$ （ $n > 1$ ）のようなサイズ比に設定される。

【0020】

この出力レベル検出回路ODT1により検出された電圧 V_{det} が誤差アンプERA1に供給されて、マイクロプロセッサなどの制御回路などから供給される出力レベルを示す信号 V_{ramp} と比較され、 V_{det} と V_{ramp} の電位差に応じた電圧が誤差アンプERA1から出力され、抵抗R1を介して最終段の電力増幅用トランジスタQ3のゲート端子にバイアス電圧として印加されている。なお、誤差アンプERA1の出力がフィードバックされるノードは、電力増幅用トランジスタQ3のゲート端子に限定されず、インピーダンス整合回路MN2内の伝送線路と容量素子との接続ノードあるいは直流カットの容量CDC3とインピーダンス整合回路MN2との接続ノードであっても良い。抵抗R1の値は1k Ω 程度が望ましい。

【0021】

さらに、この実施例では、上記電流－電圧変換用の抵抗R5の変換電圧が非反転入力端子に印加された第2の誤差アンプERA2と、初段の電力増幅用トラン

ジスタ Q1 の電流を検出する電流検出用トランジスタ Q8 と該トランジスタ Q8 により検出された電流に比例した電流を流すカレントミラー回路とからなる検出回路 ODT2 と、検出された電流を電圧に変換する電流－電圧変換用抵抗 R9 とが設けられている。

【0022】

そして、この電流－電圧変換用抵抗 R9 の変換電圧が第 2 の誤差アンプ ERA2 の反転入力端子に入力され、出力レベル検出回路 ODT1 の抵抗 R5 で変換された電圧との電位差に応じた電圧が誤差アンプ ERA2 から出力され、抵抗 R6 を介して初段の電力増幅用トランジスタ Q1 のゲート端子に印加され、Q1 のアイドル電流を制御するように構成されている。これにより、抵抗 R9 には抵抗 R5 に流れる電流と同一の大きさの電流が流され、トランジスタ Q8 には Q4 の電流に比例した電流が流される。これによって、電力増幅用トランジスタ Q1 と電流検出用トランジスタ Q8 とのサイズ比を $M:1$ とすると、Q1 には Q8 に流れる電流の M 倍の電流が流される。

【0023】

さらに、この実施例では、特に制限されるものでないが、誤差アンプ ERA2 から出力された電圧が抵抗 R7 を介して 2 段目の電力増幅用トランジスタ Q2 のゲート端子に印加され、誤差アンプ ERA2 の出力により Q2 のアイドル電流も制御するように構成されている。なお、誤差アンプ ERA1 と ERA2 の各出力端子と反転入力端子との間に設けられている容量 C1, C2 は、フィードバックループの発振を防止するための位相補償用容量である。

【0024】

この実施例のバイアス生成回路においては、カレントミラー回路を構成する Q6 と Q7 のサイズ比が $1:1$ で、Q8 と Q4 のサイズ比も $1:1$ の場合、電力増幅用トランジスタ Q1, Q2, Q3 にはこれらのサイズ比に応じたアイドル電流を流すことができる。また、Q6 と Q7 のサイズ比が $n:1$ の場合、Q7 には Q6 の $1/n$ 倍の電流が流されるので、Q8 と Q4 のサイズ比が $1:1$ の場合、電力増幅用トランジスタ Q1, Q2, Q3 のサイズ比と、Q6 と Q7 のサイズ比とに応じたアイドル電流を Q1, Q2, Q3 に流すことができる。Q6 と Q7 のサ

イズ比を $n:1$ とする代わりに、Q4 と Q8 のサイズ比あるいは Q10 と Q9 のサイズ比を $n:1$ としても同様である。

【0025】

つまり、Q6 と Q7 のサイズ比、Q8 と Q4 のサイズ比および Q10 と Q9 のサイズ比を適宜設定することにより、最終段の電力増幅用トランジスタ Q3 に流れる電流を所望の比で比例縮小した電流を初段の電力増幅用トランジスタ Q1 に流すことができる。また、2 段目の電力増幅用トランジスタ Q2 には抵抗 R6 と R7 の比に応じた電流を流すことができる。

【0026】

さらに、この実施例においては、電力増幅用トランジスタ Q3 のドレイン端子と出力レベル検出回路 ODT1 を構成する出力レベル検出用トランジスタ Q4 のゲート端子との間に接続される抵抗 R2 の抵抗値が $50\ \Omega$ のような小さな値とされることにより、最終段の電力増幅用トランジスタ Q3 の入力信号の DC 成分のみならず AC 成分を出力レベル検出回路 ODT1 に伝達して DC + AC のレベルを検出できるように構成されている。また、抵抗 R6 は $10\ \Omega$ 程度とされ、初段の入力に含まれている AC 成分がトランジスタ Q8 により検出できるように構成されている。

【0027】

なお、本実施例では抵抗 R4 の抵抗値として $50\ \Omega$ を選択したが、抵抗 R4 の値は $50\ \Omega$ に限定されるものでなく、 $100\ \Omega$ 以下であればトランジスタ Q4 によりトランジスタ Q3 の入力の DC 成分に AC 成分を含めて検出することができる。また、抵抗 R6 は $50\ \Omega$ 以下であれば良い。また、抵抗 R6 の抵抗値を抵抗 R4 の抵抗値よりも小さくしているのは、Q3 の入力信号よりも Q1 の入力信号の振幅の方が小さいためである。

【0028】

従って、本実施例を適用することによって、DC 成分のみ検出して誤差アンプ ERA1 で電力増幅用トランジスタ Q1 ~ Q3 のゲートバイアス電圧を制御する場合に比べてより正確なアイドル電流を流すことができる。しかも、この実施例では、出力レベル検出回路 ODT1 で検出した AC 成分を含む出力レベルに応じ

て、最大出力電力の時に最大効率を得るのに最適な比率で各電力増幅用トランジスタ Q1, Q2, Q3 にアイドル電流を流すことができるように、トランジスタ Q6 と Q7 のサイズ比と、Q4 と Q8 のサイズ比および Q9 と Q10 のサイズ比が設定されている。

【0029】

ここで、各段の電力増幅用トランジスタ Q1 ~ Q3 のアイドル電流の AC 成分は出力電力が大きいほど大きくなるが、出力電力が大きいほど最終段の電力増幅用トランジスタ Q3 のアイドル電流の AC 成分の比率よりも前段の電力増幅用トランジスタ Q1, Q2 のアイドル電流の方が AC 成分の比率の方が相対的に大きくなる。従って、本実施例のバイアス生成回路を使用したパワーアンプでは、最大出力時に最適な電流比となるようにバイアス生成回路を構成するトランジスタのサイズ比を決定すると、出力電力が小さい時に初段や 2 段目のトランジスタ Q1, Q2 に流れる電流が相対的に大きくすることができ、出力電力が小さい時の信号の歪みを減らし電力効率を向上させることができる。

【0030】

図 8 に示すような抵抗 R11 ~ R19 からなり出力制御電圧 V_{apc} を抵抗比で分割した所定の比率の電圧を各段のトランジスタ Q1, Q2, Q3 のゲート端子に印加してアイドル電流を流す従来のバイアス生成回路では、最大出力電力の時に最大効率を得るのに最適な比率で、電力増幅用トランジスタ Q1, Q2, Q3 にアイドル電流を流すように抵抗 R11 ~ R19 の比を設定すると、交流成分の影響で出力レベルによって各段のアイドル電流の比が異なるため、出力電力が小さい時に初段や 2 段目のトランジスタ Q1, Q2 に流れる電流が小さくなって信号の歪みが大きくなったり電力効率が低下してしまうが、本実施例のバイアス生成回路を使用したパワーアンプでは、出力電力が小さい時に初段や 2 段目のトランジスタ Q1, Q2 に流れる電流が相対的に大きくすることができる。

【0031】

しかも、図 8 に示すような抵抗 R11 ~ R19 からなる従来のバイアス生成回路を使用したパワーアンプでは、出力制御電圧 V_{apc} を抵抗比で分割した所定の比率の電圧が各段のトランジスタ Q1, Q2, Q3 のゲート端子に印加されるた

め、抵抗のばらつきによって各段のトランジスタのアイドル電流の比が所望の比からずれてしまうが、本実施例のバイアス生成回路を使用したパワーアンプでは、初段のトランジスタ Q 1 に流れる電流を検出して誤差アンプ E R A 2 で最終段の検出電流と比較してゲート電圧を制御するため、抵抗にばらつきがあっても電流比が所望の値になるように正確に制御することができる。

【 0 0 3 2 】

図 2 には、図 1 の実施例のバイアス生成回路を使用したパワーアンプと図 8 の従来のバイアス生成回路を使用したパワーアンプにおけるシミュレーションによって得られた 2 段目と 3 段目の増幅用トランジスタ Q 2, Q 3 に流れるアイドル電流 I_{dd2} , I_{dd3} を、横軸に出力電力をとって示したものである。このうち図 2 (A) は 3 段目の増幅用トランジスタ Q 3 に流れるアイドル電流 I_{dd3} 、(B) は 2 段目の増幅用トランジスタ Q 2 に流れるアイドル電流 I_{dd2} を、また一点鎖線は実施例のパワーアンプの 3 段目の増幅用トランジスタ Q 3 に流れる A C 成分を含むトータルのアイドル電流 I_{dd3} を、実線は実施例のパワーアンプの 2 段目と 3 段目の増幅用トランジスタ Q 2, Q 3 に流れるアイドル電流 I_{dd2} , I_{dd3} の D C 成分を、破線は従来のパワーアンプにおける 2 段目と 3 段目の増幅用トランジスタ Q 2, Q 3 に流れるアイドル電流 I_{dd2} , I_{dd3} の D C 成分を示す。図示しないが、本実施例のパワーアンプの 1 段目の増幅用トランジスタ Q 1 に流れるアイドル電流は、2 段目の増幅用トランジスタ Q 2 に流れるアイドル電流よりも若干少ないだけでほぼ同様な傾向を示す。

【 0 0 3 3 】

図 2 (A) より、実施例のパワーアンプの 3 段目の増幅用トランジスタ Q 3 に流れるアイドル電流 I_{dd3} は、従来のパワーアンプの 3 段目の増幅用トランジスタ Q 3 に流れるアイドル電流 I_{dd3}' よりも少なくなることが、また図 2 (B) より、実施例のパワーアンプの 2 段目の増幅用トランジスタ Q 2 に流れるアイドル電流 I_{dd2} は、従来のパワーアンプの 2 段目の増幅用トランジスタ Q 2 に流れるアイドル電流 I_{dd2}' よりも多くなることが分かる。つまり、本実施例を適用することにより、最終段の増幅用トランジスタ Q 3 に流れるアイドル電流 I_{dd3} を減らし、1 段目と 2 段目の増幅用トランジスタ Q 2, Q 3 に流れるアイドル電

流 I_{dd1} , I_{dd2} を増加させることができる。

【0034】

なお、図1の実施例においては、初段の増幅用トランジスタQ1のゲート端子とQ8のゲート端子との間に接続された抵抗R6として10Ω程度の抵抗値を有する抵抗を使用しているため、誤差アンプERA2は初段の増幅用トランジスタQ1の入力のAC成分を含めて入力レベルを検出して、出力レベル検出回路ODT1の最終段の入力のAC成分を含む検出レベルと比較してQ1のアイドル電流を制御することができる。これにより精度の高いアイドル電流制御が可能である。

【0035】

ただし、1段目と2段目のトランジスタQ1, Q2の入力に含まれるAC成分は、最終段のトランジスタQ3の入力に含まれるAC成分に比べると非常に小さい。従って、抵抗R6として100Ω以上の抵抗値を有する抵抗を使用してAC成分をカットするようにしても1段目と2段目のトランジスタQ1, Q2のアイドル電流制御の精度がそれほど低下することはない。むしろ、抵抗R6でAC成分をカットすることにより、出力電力レベルが低い領域での1段目と2段目のトランジスタQ1, Q2のアイドル電流を増加させて、より一層信号の歪みを少なくし電力効率を向上させることができる。

【0036】

つまり、抵抗R6によりAC成分をカットするようにした場合には、AC成分を通過させる場合に比べて出力電力レベルが高い領域での信号の歪みや電力効率が若干劣化するが、出力電力レベルが低い領域での信号の歪みを少なくし電力効率を向上させることができる。従って、低出力電力領域での性能と高出力電力領域での性能のいずれを重視するかで抵抗R6の値を決定してやれば良い。なお、図1の実施例においては、この抵抗R6およびR7を通して増幅用トランジスタQ1, Q2の入力のレベルを検出し、抵抗R6とR7を介してQ1, Q2のゲート端子にバイアス電圧を与えるようにしているが、抵抗R6とR7以外に、最終段の抵抗R1に相当する抵抗(図5のR10)をそれぞれ設けて、検出経路とバ

イアス付与経路とを分離するように構成しても良い。

【0037】

また、図1の実施例においては、出力レベル検出回路を構成する出力レベル検出用トランジスタQ4のドレイン端子とカレントミラー用MOSFET Q5のドレイン端子との間に抵抗R3が接続されているが、この抵抗R3は省略することが可能である。抵抗R3を設けることによって出力レベル検出回路ODT1の電源電圧依存性を低減させることができる。直線性改善用の抵抗R3を設けない場合における出力電力 P_{out} と検出電流との相関は、電源電圧 V_{dd} が例えば3.5Vのような所定のレベルにあるときはほぼリニアな関係にあるが、電源電圧 V_{dd} が例えば4.2Vのようなレベルに変化すると、出力レベル検出用トランジスタQ4に流れる電流が出力電力の高い領域では急に増加してしまうが、抵抗R3を設けると、電源電圧 V_{dd} が変化してもトランジスタQ4のドレイン電圧の変動量が小さくされ、結果としてトランジスタQ4に流れる電流の変動を小さくできる。この直線性改善用抵抗R3の抵抗値としては、例えば100Ω程度が妥当である。

【0038】

図3には、図1の実施例の第1の変形例が示されている。この変形例は、図1の実施例において、1段目と2段目の電力増幅用トランジスタQ1, Q2にバイアスを与える共通の誤差アンプERA2を設ける代わりに、別々にバイアスを与える誤差アンプERA2, ERA3と、検出回路ODT2, ODT3を設け、誤差アンプERA2の反転入力端子には検出回路ODT2の検出レベルを、また誤差アンプERA3の反転入力端子には検出回路ODT3の検出レベルを入力して最終段の検出レベルと比較して電位差に応じてアイドル電流を流すようにしたものである。この変形例に従うと、1段目と2段目の電力増幅用トランジスタQ1, Q2のアイドル電流 I_{dd1} , I_{dd2} を別々に制御することができる。従って、トランジスタQ1とQ2のばらつきが異なる場合にも、それぞれのばらつきを補償するようにトランジスタQ1, Q2にのアイドル電流 I_{dd1} , I_{dd2} を制御することができる。

【0039】

なお、図 1 の実施例では、センス抵抗 R_4 の電流に比例した電流を流すトランジスタ Q_7 と抵抗 R_5 を設けて抵抗 R_5 で変換した電圧を各誤差アンプ $E R A_2$ の非反転入力端子に入力しているが、図 3 の変形例では、誤差アンプ $E R A_1$ の反転入力端子に入力されるセンス抵抗 R_4 で変換した電圧が、誤差アンプ $E R A_2$ 、 $E R A_3$ の非反転入力端子に入力されている。これにより図 1 の実施例に比べて素子数を減らすことができる。

【0 0 4 0】

ただし、図 1 の実施例と同様に、センス抵抗 R_4 の電流に比例した電流を流すトランジスタ Q_7 と抵抗 R_5 を設けて、抵抗 R_5 で変換した電圧を誤差アンプ $E R A_2$ 、 $E R A_3$ の非反転入力端子に入力させるように構成しても良い。トランジスタ Q_7 と抵抗 R_5 を設けることにより、電力増幅用トランジスタ Q_1 、 Q_2 、 Q_3 のアイドル電流の電流比の設定を、検出回路 $O D T_1 \sim O D T_3$ を構成するトランジスタの比をいじらずに行なうことができる。さらに、トランジスタ Q_7 と抵抗 R_5 に相当するトランジスタと抵抗をもう 1 組設けて、誤差アンプ $E R A_2$ 、 $E R A_3$ の非反転入力端子に別の電位を入力させるようにしてもよい。また、図 1 の実施例で説明したのと同様に、抵抗 R_6 と R_7 以外に、最終段の抵抗 R_1 に相当する抵抗をそれぞれ設けて、検出経路とバイアス付与経路とを分離するように構成しても良い。

【0 0 4 1】

図 4 には、図 1 の実施例の第 2 の変形例が示されている。この変形例は、図 1 における誤差アンプ $E R A_2$ や入力レベル検出用のトランジスタ $Q_8 \sim Q_{10}$ を省略して、電力増幅用トランジスタ Q_1 、 Q_2 とそれぞれカレントミラーを構成するトランジスタ Q_{11} 、 Q_{12} を設け、このカレントミラー・トランジスタ Q_{11} 、 Q_{12} のゲート端子に、出力レベル検出回路 $O D T$ の検出レベルに応じて最終段の増幅用トランジスタ Q_3 にゲートバイアスを与える誤差アンプ $E R A_1$ の出力電圧を抵抗 R_{21} 、 R_{22} を介して印加してトランジスタ Q_{11} 、 Q_{12} に電流を流し、このトランジスタ Q_{11} 、 Q_{12} の電流に比例したアイドル電流 I_{dd1} 、 I_{dd2} を、電力増幅用トランジスタ Q_1 、 Q_2 に流すようにしたものである。かかる構成の回路においても、抵抗 R_2 として抵抗値が $100\ \Omega$ 以下の抵抗

値のものを使用することにより、AC成分を含めて最終段の増幅用トランジスタQ3の出力レベルを検出することができ、この検出結果に応じて各段のアイドル電流を制御することができる。

【0042】

図5は、本発明を適用した高周波電力増幅回路とそのバイアス生成回路の第2の実施例を示す。この第2実施例は、図1の第1実施例において誤差アンプERA1の非反転入力端子に入力されている出力レベル制御電圧V_{ramp}を誤差アンプERA2の非反転入力端子に入力するとともに、最終段の検出回路ODT1のカレントミラー・トランジスタQ7および電流-電圧変換用抵抗R5を1段目と2段目の増幅段用の検出回路ODT2に設け、この検出回路ODT2の抵抗R5で変換された電圧を誤差アンプERA1の非反転入力端子に入力させている。また、電力増幅用トランジスタQ1のゲートと検出用トランジスタQ8のゲートとの間に設けられている抵抗R6とは別に、最終段の抵抗R1に相当する抵抗R10を設けて、抵抗R10を介して誤差アンプERA2の出力を電力増幅用トランジスタQ1のゲート端子にフィードバックさせることで、検出経路とバイアス付与経路とが分離するように構成されている。

【0043】

この実施例は、1段目の電力増幅用トランジスタQ1のゲート入力レベルをAC成分を含めて検出して、その検出レベルと出力レベル制御電圧V_{ramp}とを誤差アンプERA2で比較してその電位差に応じたバイアスを1段目と2段目の電力増幅用トランジスタQ1、Q2に与え、検出回路ODT2の検出レベルを基準電圧として誤差アンプERA1に入力して出力レベル検出回路ODT1の検出レベルと比較してその電位差に応じたバイアスを最終段の増幅用トランジスタQ3に与えることで、Q1、Q2のアイドル電流に比例した電流を最終段の最終段の増幅用トランジスタQ3に流すように動作する。この実施例のパワーアンプは、図1の第1実施例のパワーアンプと同様の作用効果を有する。なお、第1の実施例と第2の実施例とでは、CPUから供給される出力レベル制御電圧V_{ramp}の値は異なる。

【0044】

図6は、本発明を適用した高周波電力増幅回路とそのバイアス生成回路の第3の実施例を示す。この第3実施例は、図1の第1実施例において、初段の電力増幅用トランジスタQ1としてデュアルゲートのEFTを使用するとともに、誤差アンプERA2の出力電圧に応じた電流を流すトランジスタQ20と、Q20と直列に接続された抵抗R23、R24とを設けたものである。そして、このデュアルゲートのEFTの第1ゲート（グランド側のゲート）に入力高周波信号Pinが供給され、R23、R24で抵抗分割した電圧Vb1、Vb2が抵抗R6、R10を介してトランジスタQ1の第1ゲートと第2ゲートにバイアス電圧としてそれぞれ印加されている。なお、ここでデュアルゲートのFETとは、1つのチャンネル領域に対応して2つのゲート電極がドレイン領域とソース領域との間に直列に設けられている電界効果トランジスタのことである。

【0045】

この実施例のパワーアンプは、第1の実施例のパワーアンプにおける効果に加えて、デュアルゲートのEFTを使用したより以下のような効果がある。すなわち、第1のバイアス電圧Vb1で初段の増幅用トランジスタに線形特性を与え得るようなバイアス状態を作り出し、第2のバイアス電圧Vb2で初段の増幅用トランジスタの利得を抑えるようにすることにより、高周波電力増幅回路を線形動作させるときのゲインを下げることができる。

【0046】

これにより、2つのゲートの電圧をうまく制御してやることによって、FETの持つA級増幅特性すなわちリニアティを劣化させることなくゲインを下げることができる。その結果、EDGE（Enhanced Data Rates for GMS Evolution）モードやCDMA（Code Division Multiple Access）方式のようにパワーアンプを線形動作させる必要がある無線通信システムにおいて、初段の増幅用トランジスタの利得が高くなりすぎて受信帯ノイズが仕様を満たさなくなるのを回避することができる。

【0047】

また、特に制限されるものでないが、前記実施例の各電力増幅回路およびバイアス生成回路は、全体が1つのモジュールとして構成される。本明細書において

は、表面や内部にプリント配線が施されたセラミック基板のような絶縁基板に複数の電子部品が実装されて上記プリント配線やボンディングワイヤで各部品が所定の役割を果たすように結合されることであたかも一つの電子部品として扱えるように構成されたものをモジュールと称する。

【 0 0 4 8 】

具体的には、例えば図 1 の実施例回路では、1 段目と 2 段目の増幅用トランジスタ Q 1 , Q 2 および検出回路 O D T 2 (抵抗 R 9 を除く) と誤差アンプ E R A 2 と抵抗 R 6 が 1 つの半導体集積回路として構成され、出力レベル検出回路 O D T 1 (抵抗 R 4 , R 5 を除く) と誤差アンプ E R A 1 と抵抗 R 1 , R 2 が他の半導体集積回路として構成され、最終段の増幅用トランジスタ Q 3 は独立した半導体素子として構成され、抵抗 R 4 , R 5 , R 9 とインダクタンス L 1 ~ L 3 はディスクリートの部品により構成され、これらの半導体集積回路および半導体素子と外付け部品が、セラミック基板のような絶縁基板に実装されてパワーモジュールとして構成されている。

【 0 0 4 9 】

なお、回路を構成する直流カット用の容量素子 C D C 1 ~ C D C 4 はディスクリートの部品もしくは複数の誘電体層が積層されたモジュール基板のいずれかの誘電体層の表面と裏面に形成された導体層により構成され、インピーダンス整合回路 M N 1 ~ M N 3 を構成する伝送線路はモジュール基板の表面に形成された銅などの導体層により形成される。本実施例では、抵抗 R 4 , R 5 , R 9 は比較的高い精度が要求されるので外付け抵抗が用いられているが、検出回路 O D T 1 または O D T 2 が形成された半導体集積回路のチップ上に形成することも可能である。

【 0 0 5 0 】

図 7 は、本発明を適用した高周波電力増幅回路を利用した無線通信システムの一例として、G S M と D C S の 2 つの通信方式の無線通信が可能なシステムの概略の構成を示す。

図 7 において、1 0 0 は G S M や D C S のシステムにおける G M S K 変調や復調を行なうことができる変復調回路を有する半導体集積回路化された高周波信号処理回路 (高周波 I C) 1 1 0 や受信信号から不要波を除去する弾性表面波フィ

ルタからなるバンドパスフィルタ SAWと受信信号を増幅するロウノイズアンプ LNAなどが1つのセラミック基板上に実装されてなる高周波モジュール（以下、RFモジュールと称する）、200は前記実施例のような構成を有するパワーアンプ210およびそのバイアスを与えるバイアス生成回路230を構成するICや外付け抵抗、容量などを含む高周波電力増幅用モジュール（パワーモジュール）である。図1の出力レベル検出回路ODT1と誤差アンプERA1, ERA2や抵抗などからなるバイアス生成回路は、図7では1つのブロック230で表わされている。

【0051】

また、300は送信データ（ベースバンド信号）に基づいてI, Q信号を生成したり受信信号から抽出されたI, Q信号を処理したりする半導体集積回路化されたベースバンド回路（ベースバンドIC）、400はRFパワーモジュール200から出力される送信信号に含まれる高調波などのノイズを除去するフィルタLPFや送受信切替えスイッチ、分波器などを含むフロントエンド・モジュール、500はRFIC110やベースバンドIC300に対する制御信号を生成したりパワーモジュール200に対する出力レベルを示す信号V_{ramp}を生成したりしてシステム全体を制御するマイクロプロセッサ（CPU）である。

【0052】

図7に示されているように、この実施例では、パワーモジュール200内にGSMの周波数帯である900MHzの送信信号を増幅するパワーアンプ210aと、DCSの周波数帯である1800MHzの送信信号を増幅するパワーアンプ210bとが設けられている。同様に、RFモジュール100内にGSM用のSAWフィルタ120aおよびロウノイズアンプ130aと、DCS用のSAWフィルタ120bおよびロウノイズアンプ130bとが設けられている。

【0053】

高周波IC110においては送信したい情報に従って搬送波を位相変調するGMSK変調が行なわれ、位相変調された信号が高周波信号Pinとしてパワーモジュール200に入力され増幅される。特に制限されるものでないが、この実施例では高周波IC110は、送信用の変調回路の他に、受信信号を低い周波数の

信号にダウンコンバートするミキサ、高ゲインのプログラマブル・ゲインアンプなどからなる受信系回路も含んで構成されている。ロウノイズアンプ L N A は、高周波 I C 1 1 0 に内蔵させることも可能である。

【 0 0 5 4 】

フロントエンド・モジュール 4 0 0 には、G S M 用のロウパスフィルタ 4 1 0 a と D C S 用のロウパスフィルタ 4 1 0 b および G S M の送信と受信を切り替える切替えスイッチ 4 2 0 a と D C S の送信と受信を切り替える切替えスイッチ 4 2 0 b 、アンテナ A N T に接続され受信信号から G S M 用の信号と D C S 用の信号を分離する分波器 4 3 0 などが設けられている。図 8 には示されていないが、パワーモジュール 2 0 0 またはフロントエンド・モジュール 4 0 0 には、パワーアンプ 2 1 0 a , 2 1 0 b の出力端子または R F パワーモジュール 2 0 0 の送信出力端子とロウパスフィルタ 4 1 0 a , 4 1 0 b との間に接続されてインピーダンスの整合を行なうインピーダンス整合回路が設けられる。

【 0 0 5 5 】

なお、上記のような G S M と D C S のデュアルバンド通信システムにおいては、G S M 側のパワーアンプ 2 1 0 a の出力電力と D C S 側のパワーアンプ 2 1 0 b の出力電力の最大レベルはそれぞれ規格によって規定されていて異なっているが、高周波電力増幅用トランジスタ Q 3 と出力レベル検出用トランジスタ Q 4 とのサイズ比およびカレントミラー回路を構成するトランジスタ Q 5 と Q 6 とのサイズ比をそれぞれ適当に設定することにより、抵抗 R 4 , R 5 および誤差アンプ E R A 1 , E R A 2 を 2 つのバンドで共用させることができる。

【 0 0 5 6 】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば前記実施例の高周波電力増幅回路では、電力増幅 F E T を 3 段接続しているが、2 段構成としたり、4 段以上の構成としても良い。

【 0 0 5 7 】

以上の説明では主として本発明者によってなされた発明をその背景となった利

用分野である G S M や D C S のような通信方式による送受信が可能な無線通信システムを構成する高周波パワーモジュールに適用した場合を説明したが、本発明はそれに限定されるものでなく、他の通信方式や、G M S と D C S と P C S (Personal Communications System) など 3 以上の通信方式による送受信が可能なマルチモードの携帯電話機や移動電話機などの無線通信システムを構成する高周波パワーモジュールに利用することができる。

【 0 0 5 8 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、複数の電力増幅用トランジスタが縦続接続された多段構成の高周波電力増幅回路において、最終段の電力増幅用トランジスタのゲートに入力される信号の直流成分のみならず交流成分も出力レベル検出用トランジスタのゲート端子に伝達され、これにより交流成分を含んでフィードバックをかけることができ、直流成分のみ検出してフィードバックをかける場合に比べて低出力レベルの領域で初段側の増幅段に流れる電流を多くすることができ、その結果、出力電力レベルが低い領域でも前段のトランジスタにアイドル電流が充分に流れるようになり、信号の歪みが小さくなり電力効率が向上するという効果がある。

【 0 0 5 9 】

また、出力レベルに応じて最終段の電力増幅用トランジスタのゲートバイアスを与える誤差アンプとは別個に、該誤差アンプの出力電圧を基準電圧とし前段の電力増幅用トランジスタのゲート入力電圧を比較入力とする誤差アンプを設けて、それらの電位差に応じた電圧を前段の電力増幅用トランジスタのゲート入力側へフィードバックさせるように構成されているため、製造バラツキに関わらず最終段の電力増幅用トランジスタのアイドル電流に比例した正確なアイドル電流を前段の電力増幅用トランジスタに流すことができる。

【図面の簡単な説明】

【図 1】

本発明を適用した高周波電力増幅回路とそのバイアス生成回路の第 1 の実施例を示す回路図である。

【図 2】

(A) は出力電力と 3 段目の増幅用トランジスタ Q 3 に流れるアイドル電流 I_{dd3} との関係を示すグラフ、(B) は出力電力と 2 段目の増幅用トランジスタ Q 2 に流れるアイドル電流 I_{dd2} との関係を示すグラフである。

【図 3】

第 1 の実施例の第 1 変形例を示す回路図である。

【図 4】

第 1 の実施例の第 2 変形例を示す回路図である。

【図 5】

本発明を適用した高周波電力増幅回路とそのバイアス生成回路の第 2 の実施例を示す回路図である。

【図 6】

本発明を適用した高周波電力増幅回路とそのバイアス生成回路の第 3 の実施例を示す回路図である。

【図 7】

本発明を適用した G S M と D C S の 2 つの通信方式の無線通信が可能なシステムの概略の構成を示すブロック図である。

【図 8】

従来の高周波電力増幅回路とそのバイアス生成回路の構成例を示す回路図である。

【図 9】

従来の高周波電力増幅回路とそのバイアス生成回路における出力制御電圧とバイアス電圧との関係を示すグラフである。

【図 1 0】

従来の高周波電力増幅回路とそのバイアス生成回路におけるゲートバイアス電圧と各増幅段のアイドル電流との関係を示すグラフである。

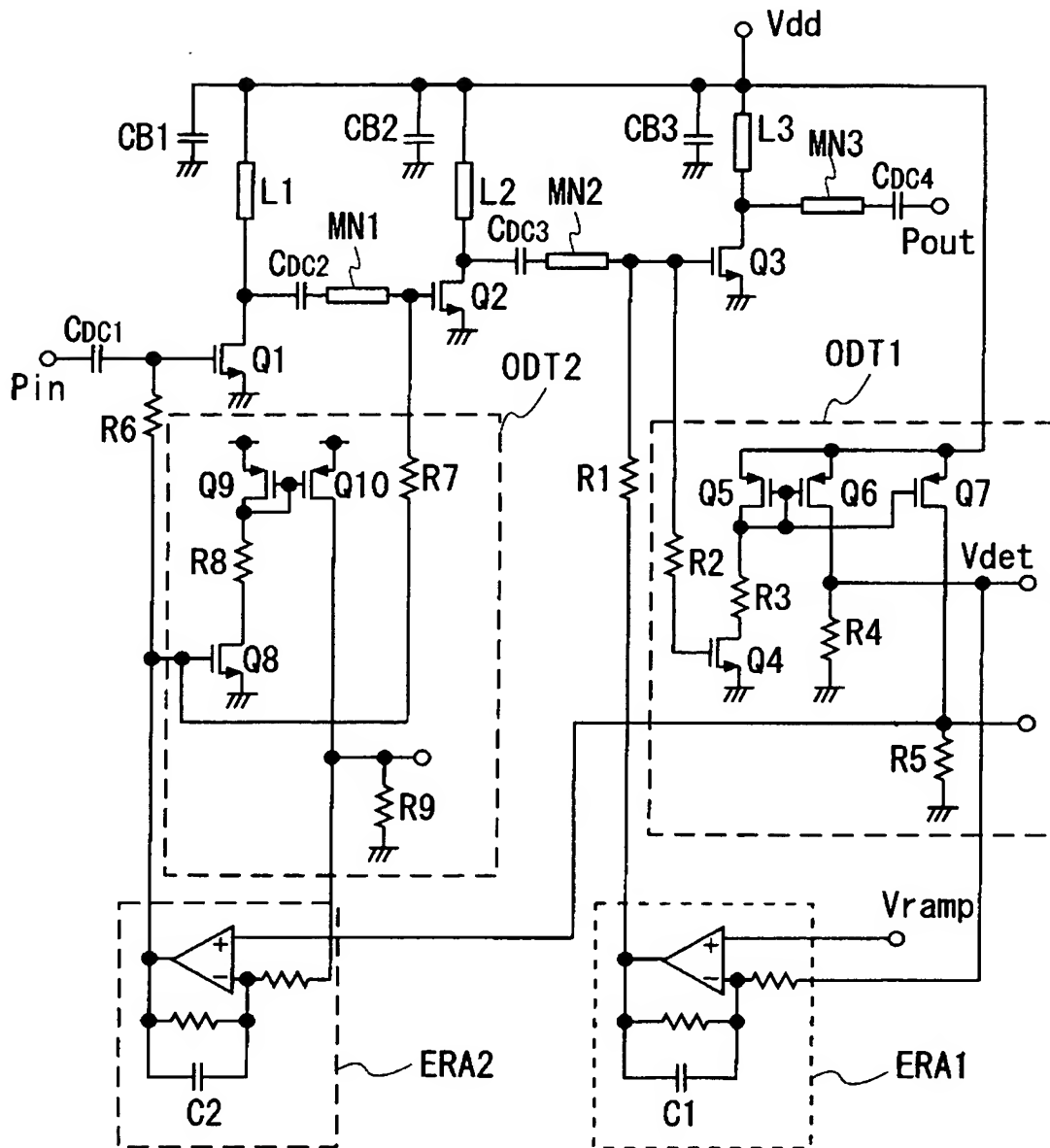
【符号の説明】

Q 1, Q 2, Q 3 増幅用トランジスタ
ODT 1 出力レベル検出回路
ODT 2 検出回路
ERA 1, ERA 2 誤差アンプ
MN 1 ~ MN 3 インピーダンス整合回路
100 RFモジュール
130 a, 130 b ロウノイズ・アンプ
200 パワーモジュール
230 バイアス生成回路
210 a, 210 b 高周波電力増幅回路
300 ベースバンド回路
400 フロントエンド・モジュール
410 a, 410 b ロウパスフィルタ

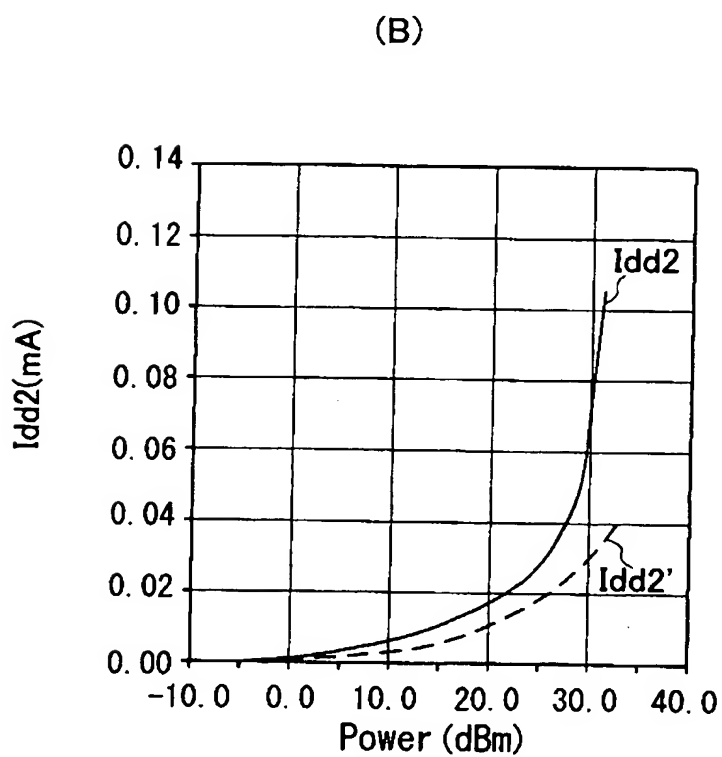
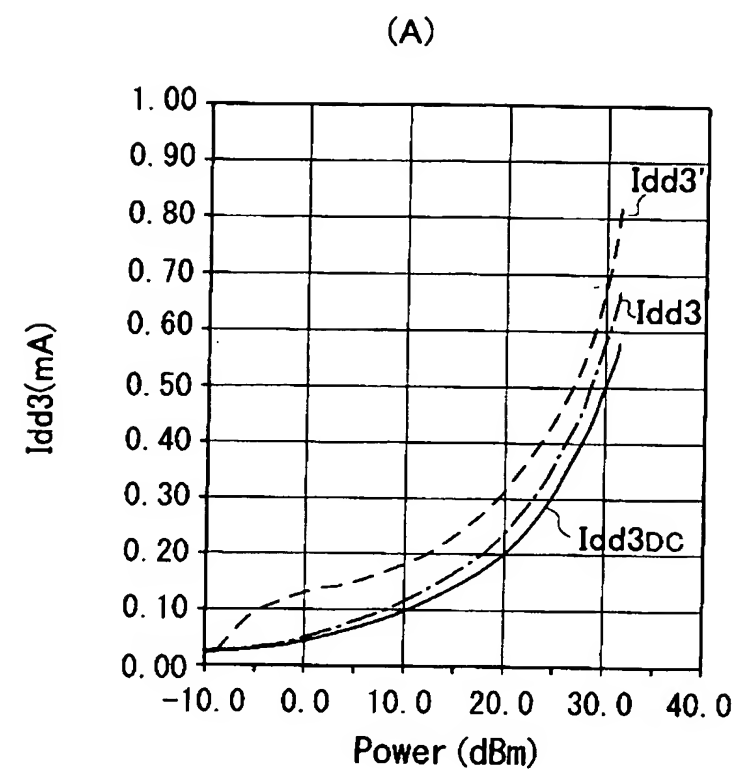
【書類名】

図面

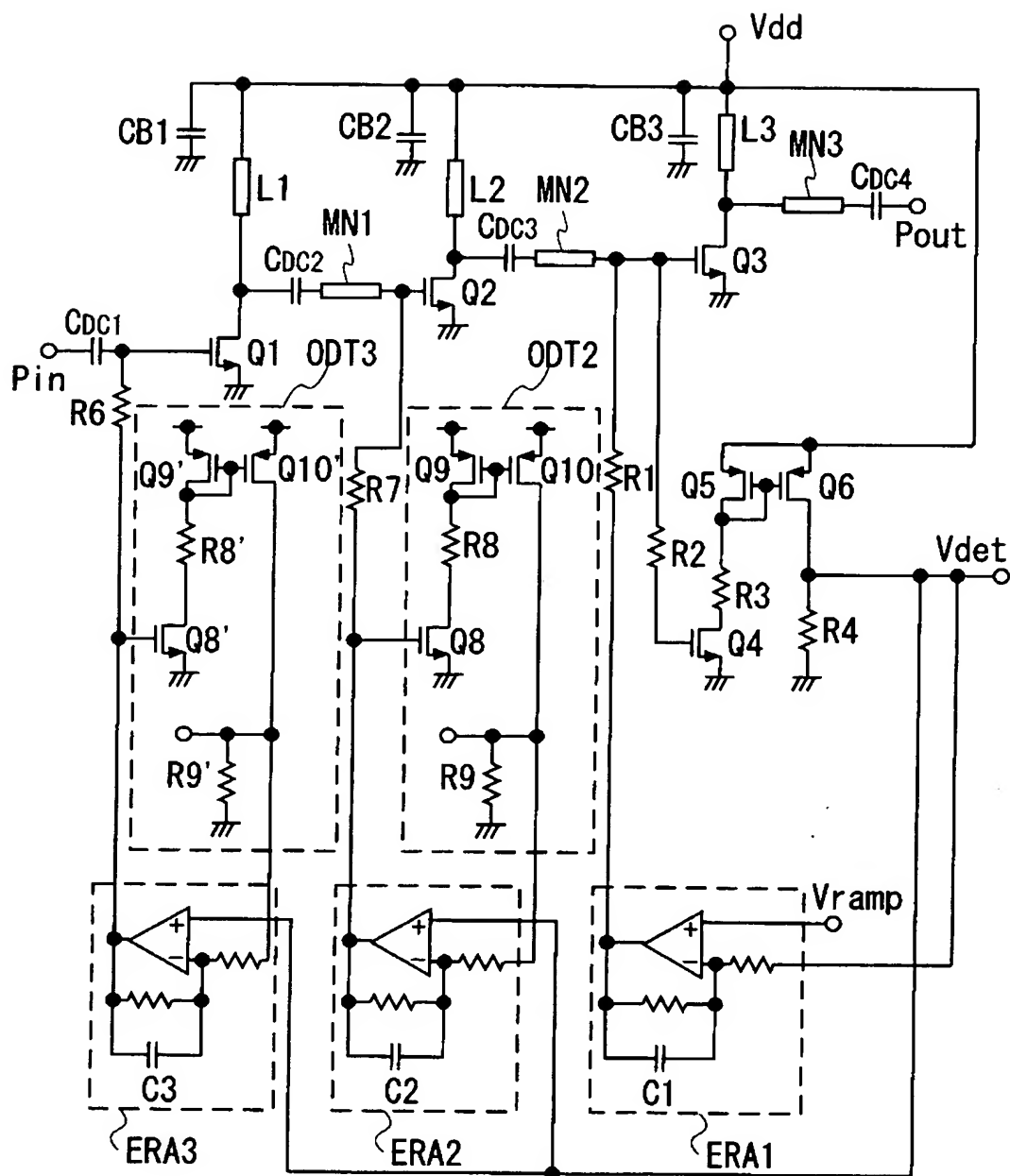
【図 1】



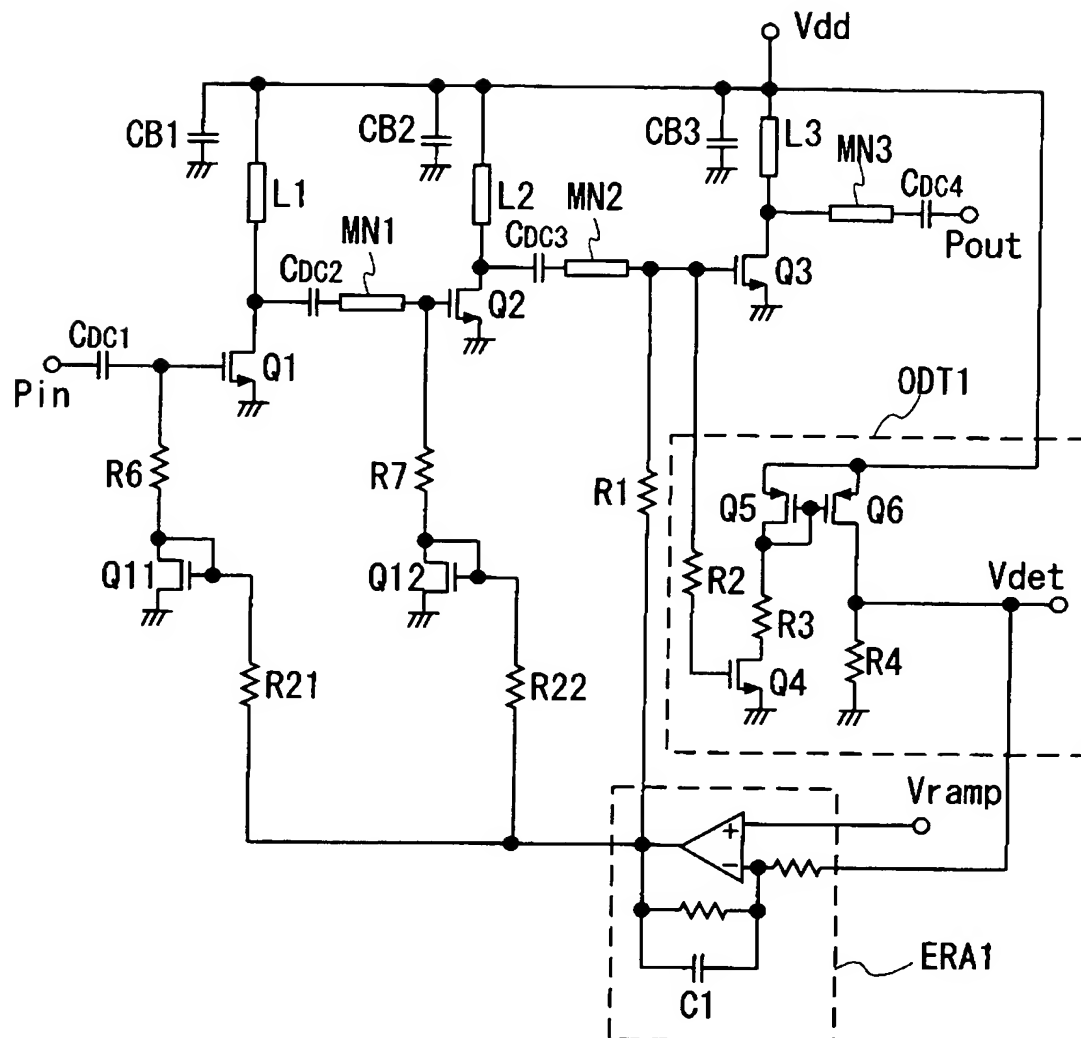
【図 2】



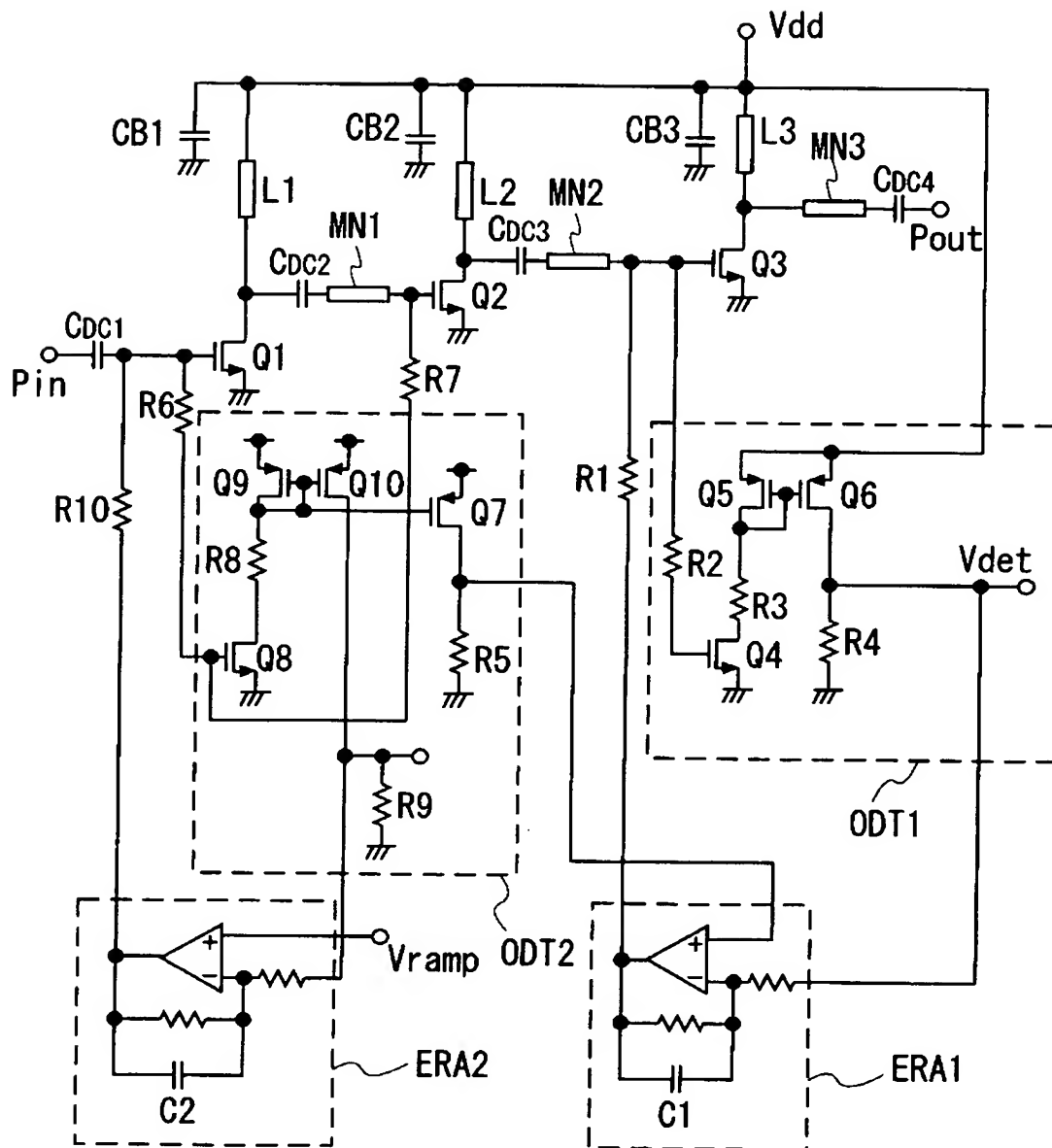
【図 3】



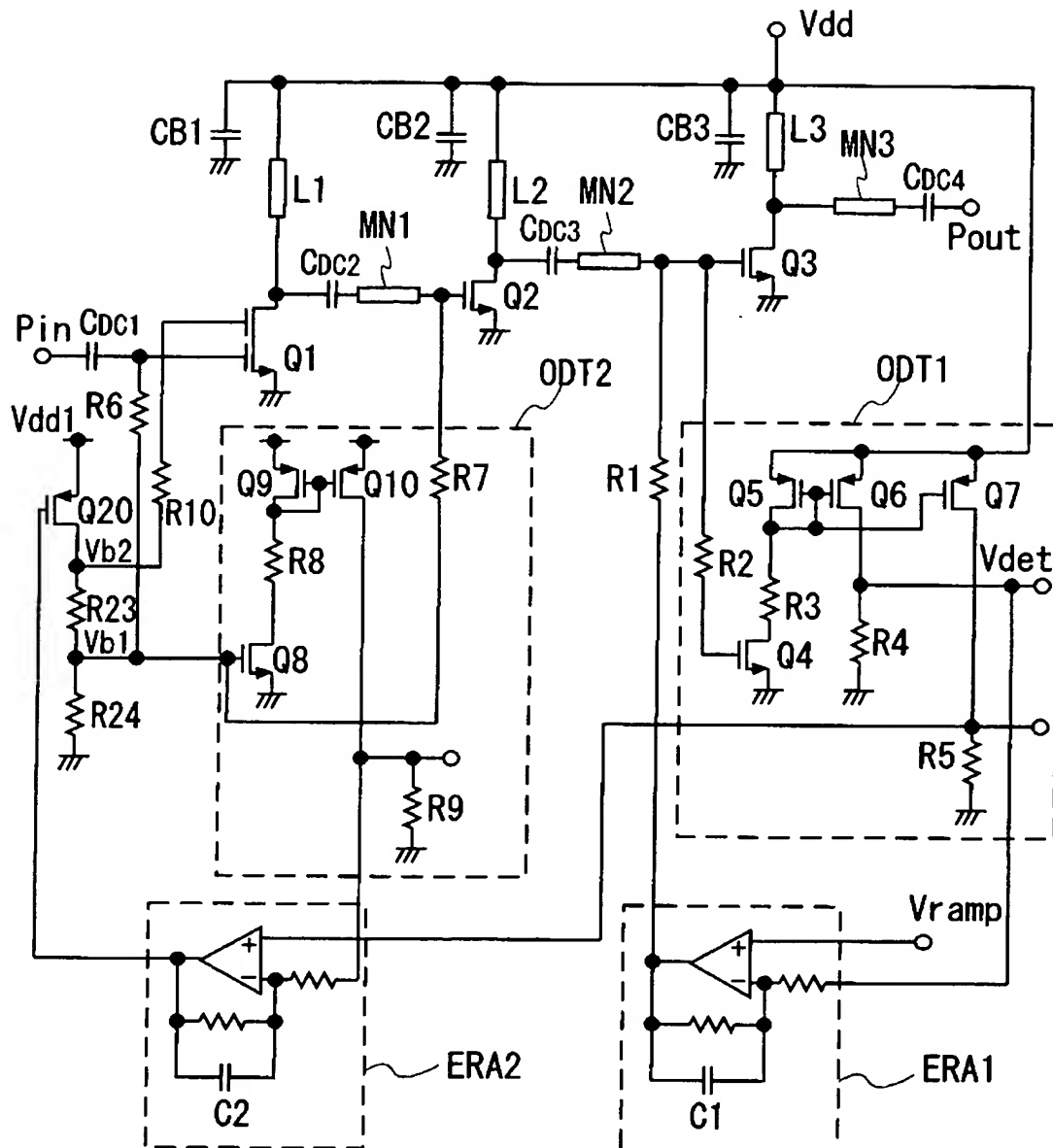
【図 4】



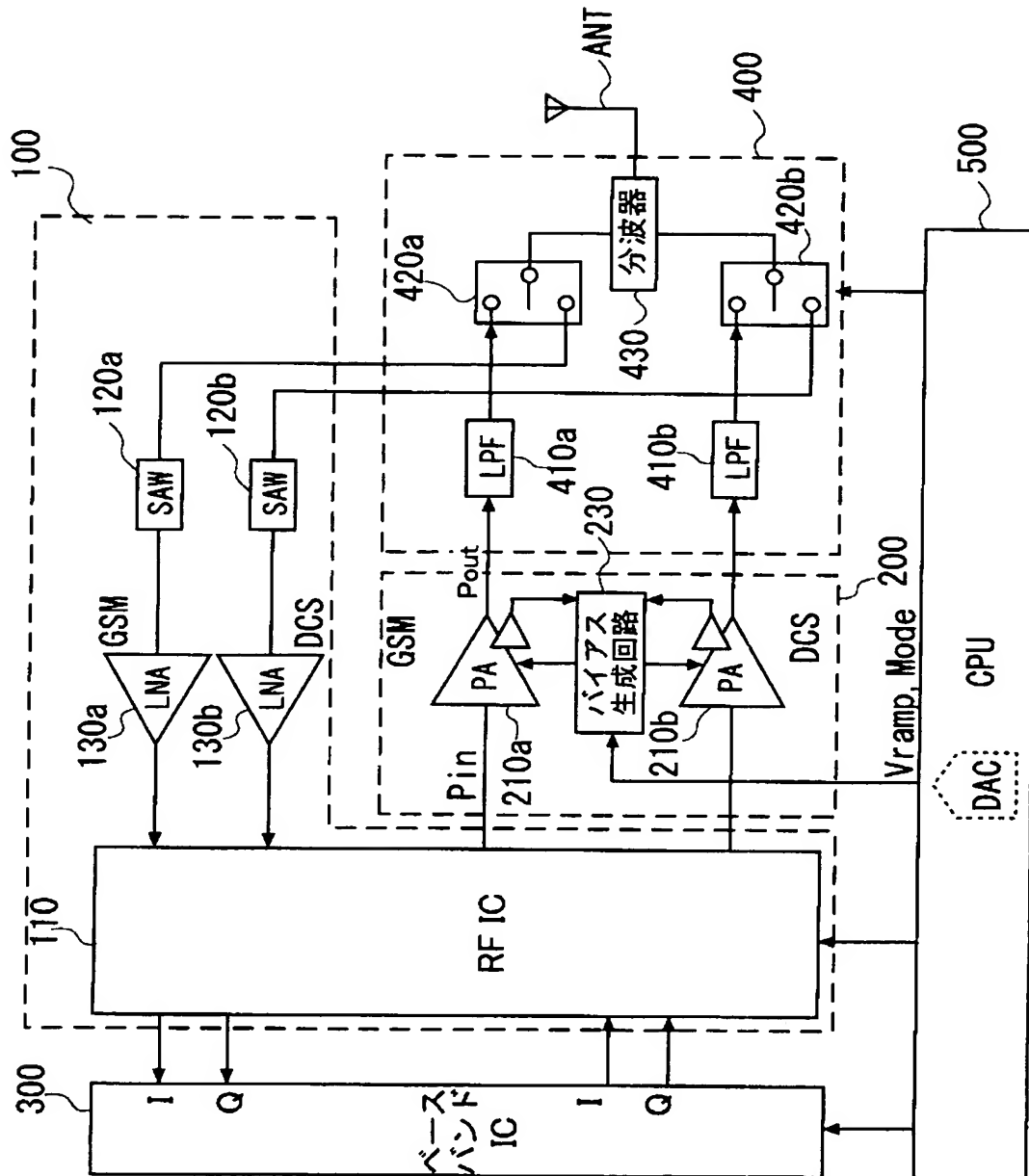
【図 5】



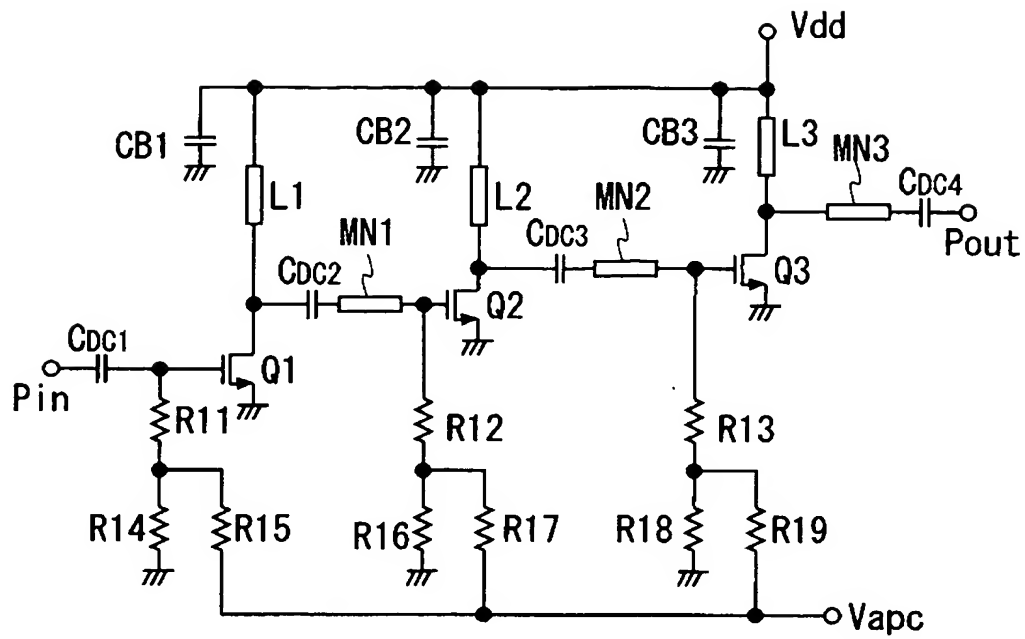
【図 6】



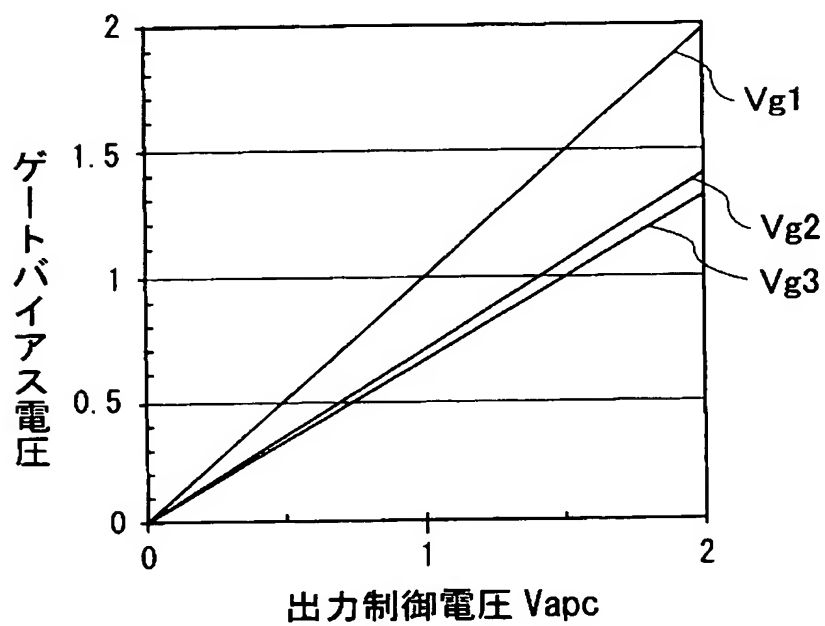
【図 7】



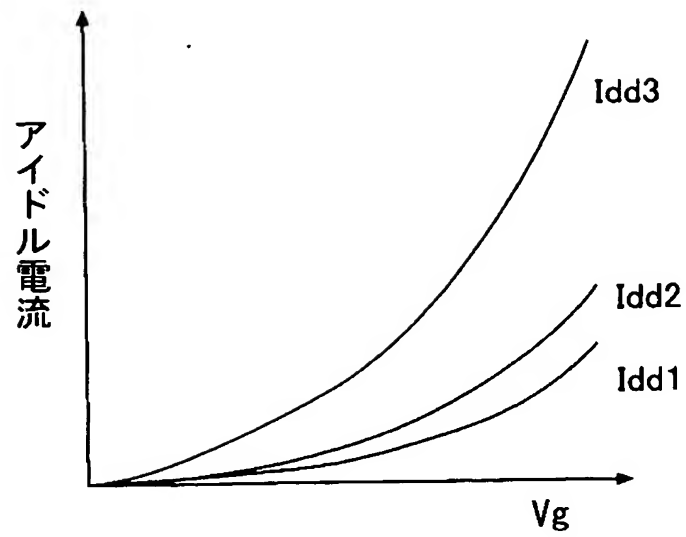
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 複数の電力増幅用トランジスタが縦続接続された多段構成の高周波電力増幅回路において、出力電力レベルが低い領域での信号の歪みを小さくし電力効率を向上させる。

【解決手段】 複数の電力増幅用トランジスタ（Q 1，Q 2，Q 3）が縦続接続された高周波電力増幅用電子部品において、最終段の電力増幅用トランジスタのゲート入力を 100Ω 以下の抵抗値の抵抗素子（R 2）を介してゲート端子に受ける出力レベル検出用トランジスタ（Q 4）を設け、該トランジスタにより検出した電流を電圧に変換し、該電圧と出力制御電圧とを誤差アンプ（E R A 1）で比較して電位差に応じた電圧を各増幅段の電力増幅用トランジスタ（Q 1，Q 2，Q 3）のゲート端子に印加してアイドル電流を流すようにした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 5 7 8 6 4
受付番号	5 0 2 0 1 8 6 7 5 6 2
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 2 月 1 1 日

< 認定情報・付加情報 >

【提出日】 平成14年12月10日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-357864

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 3 - 1 0 8 7 1 2 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 5 7 8 6 4
受付番号	5 0 3 0 1 2 3 2 4 5 0
書類名	出願人名義変更届（一般承継）
担当官	末武 実 1 9 1 2
作成日	平成 1 5 年 9 月 2 日

＜認定情報・付加情報＞

【提出日】 平成 15 年 7 月 25 日

特願 2 0 0 2 - 3 5 7 8 6 4

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 5 7 8 6 4

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ